

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 國際公開日  
2005 年 8 月 18 日 (18.08.2005)

**PCT**

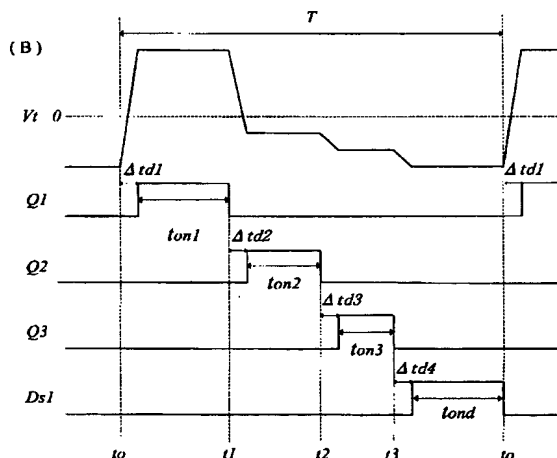
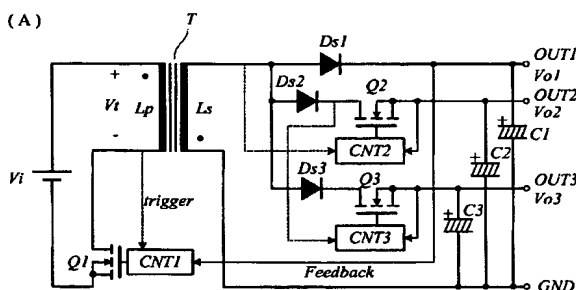
(10) 国際公開番号  
**WO 2005/076447 A1**

- |                             |  |                               |   |
|-----------------------------|--|-------------------------------|---|
| (51) 国際特許分類 <sup>7</sup> :  | H02M 3/28  | (72) 発明者; および                 |   |
| (21) 国際出願番号:                | PCT/JP2004/016529  | (75) 発明者/出願人 (米国についてのみ):      | 細谷達也 (HOSOTANI, Tatsuya) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). 竹村博 (TAKEMURA, Hiroshi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP).  |
| (22) 国際出願日:                 | 2004 年 11 月 8 日 (08.11.2004)   |                               |   |
| (25) 国際出願の言語:               | 日本語  |                               |   |
| (26) 国際公開の言語:               | 日本語  | (74) 代理人:                     | 小森久夫 (KOMORI, Hisao); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).  |
| (30) 優先権データ:                |  | (81) 指定国 (表示のない限り、全ての種類の国内保護が |   |
| 特願2004-027036               | 2004 年 2 月 3 日 (03.02.2004) JP   | 可能):                          | AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, |
| (71) 出願人 (米国を除く全ての指定国について): | 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 Kyoto (JP). |                               |   |

〔続葉有〕

**(54) Title:** SWITCHING POWER SUPPLY

(54) 発明の名称: スイッチング電源装置



**(57) Abstract:** A first switching control circuit (CNT1), triggered by a timing when a rectifier diode (Ds1) enters a non-conducting state and a transformer voltage  $V_t$  is inverted, turns on a first switching element (Q1) after specified delay time. A second switching control circuit (CNT2), triggered by a timing when the first switching element (Q1) is turned off and the transformer voltage  $V_t$  is inverted, turns on a second switching element (Q2). A third switching control circuit (CNT3), triggered by a timing when the second switching element (Q2) is turned off, turns on a third switching element (Q3). The (CNT1) determines the interval  $ton1$  of the first switching element (Q1) such that a first output voltage  $Vo1$  has a specified value, the (CNT2) determines the on-interval  $ton2$  of the second switching element (Q2) such that a second output voltage  $Vo2$  has a specified value, and the (CNT3) determines the on-interval  $ton3$  of the third switching element (Q3) such that a third output voltage  $Vo3$  has a specified value.

(57) 要約: 第1のスイッチング制御回路(CNT1)は整流ダイオード(Ds1)が非導通状態となり、トランス電圧Vtが反転するタイミングをトリガとして所定の遅延時間の後に第1のスイッチ素子(Q1)をターンオンさせる。第2のスイッチング制御回路(CNT2)は第1のスイッチ素子(Q1)のターンオフによりトランス電圧Vtが反転するタイミングをトリガとして第2のスイッチ素子(Q2)をターンオンさせる。第3のスイッチング制御回路(CNT3)は第2のスイッチ素子(Q2)のターンオフをトリガとして第3のスイッチ素子(Q3)をターンオンさせる。(CNT1)は第1出力電圧Vo1が所定値になるように第1のスイッチ素子(Q1)の期間ton1を定め、(CNT2)は第

2出力電圧 $V_{o2}$ が所定値になるように第2のスイッチ素子（Q2）のオン期間 $t_{on2}$ を定め、さらに（CNT3）は第3出力電圧 $V_{o3}$ が所定値になるように第3のスイッチ素子（Q3）のオン期間 $t_{on3}$ を定める。

**WO 2005/076447 A1**



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### スイッチング電源装置

### 技術分野

- [0001] 本発明は、複数のスイッチング素子を備えたスイッチング電源の制御方法、特に発振回路を必要としない制御方法に関するものである。

### 背景技術

- [0002] スwitchング電源におけるスイッチング素子の制御方法としては、一般にPWM(Pulse Wide Modulation)方式とPFM(Pulse Frequency Modulation)方式と呼ばれる制御方式がある(非特許文献1参照)。

- [0003] PWM方式は、スイッチング周期に対するスイッチ素子のオン期間比率を制御する方式であり、一般にスイッチング周期は一定である。複数のスイッチ素子を有する場合、それぞれのスイッチ素子におけるオン時比率の関係は、同一または逆数の関係となる。

- [0004] PFM方式は、スイッチング周波数を制御する方式であり、一般にスイッチ素子のオン期間比率は一定である。複数のスイッチ素子を有する場合、それぞれのスイッチ素子におけるオン時比率およびスイッチング周波数の関係は同一となる。

非特許文献1:電気工学ハンドブック(第6版)社団法人電気学会発行、2001年2月20日、20編9章2節スイッチングレギュレータ、p851-852

### 発明の開示

### 発明が解決しようとする課題

- [0005] 従来技術では、複数のスイッチ素子を有する場合、発振回路を備えていて、その発振回路の発振信号を基準にして複数の駆動信号を作り、これらをスイッチ素子の制御端子に伝達している。このため、駆動信号を伝達する経路や駆動回路において遅れ時間や進み時間が生じた場合、直列関係にある複数のスイッチ素子を順に駆動する必要があるにも拘わらず、複数のスイッチ素子が同時オン状態となる現象が生じる。このような現象が生じると正常動作しないだけでなく、過電流等により電源装置が破壊する場合があります、信頼性が著しく低下する。

[0006] そこで、この同時オンの現象を避けるために、複数のスイッチ素子が共にオフ状態となるデッドタイムを設けていた。しかし、このデッドタイムは電圧変換に寄与しない時間であるので、必要以上に長いデッドタイムの形成は電力変換効率を低下させる要因となっていた。また、PWM方式ではオン時比率が、PFM方式ではスイッチング周波数がそれぞれ変化するため、このデッドタイムを適切に設定することは非常に困難で複雑な構成を必要としていた。

[0007] また、当然ながら従来技術では基準となる発振回路が必要であった。

さらに、従来技術では、基準となるスイッチ素子のオン期間を変化させることで出力電圧を安定化する制御が行われていたが、制御される条件は、例えば1つの出力電圧を一定電圧に保つ、という1つの条件だけであった。

[0008] この発明の目的は、複数のスイッチ素子の同時オンによる不具合の問題を解消し、所定条件を満たす状態に制御する際の条件を複数定められるようにし、さらに基準となる発振回路も不要にしたスイッチング電源装置を提供することにある。

#### 課題を解決するための手段

[0009] (1)この発明のスイッチング電源装置は、インダクタまたはトランスと、該インダクタまたはトランスに流れる電流をスイッチングする複数のスイッチ素子を備え、これらのスイッチ素子をオンオフすることにより電力を変換するスイッチング電源装置において、オン状態のスイッチ素子がターンオフすることにより発生する電圧または電流の変化を受けて次のスイッチ素子をターンオンし、順次、連鎖的にスイッチ素子をオン・オフさせ、この一連のスイッチ素子のオン・オフ動作を周期的に繰り返し、且つ各スイッチ素子のオン期間を各スイッチ素子毎に独立した条件にて決定し、各スイッチ素子のオン期間を制御するスイッチング制御回路を備えたことを特徴としている。

[0010] (2)この発明のスイッチング電源装置は、(1)において複数のスイッチ素子のうち連続する2つのスイッチ素子のオン期間の間には、該2つのスイッチ素子が共にオフとなるデッドタイムが形成され、該デッドタイムはオン状態のスイッチ素子がターンオフしてから次のスイッチ素子がターンオンするまでの遅延時間により形成されていることを特徴としている。

[0011] (3)この発明のスイッチング電源装置は、(2)において前記スイッチ素子の両端電

圧がゼロ電圧またはゼロ電圧付近まで低下してから、該スイッチ素子がターンオンするように前記デッドタイムが設定されていることを特徴としている。

[0012] (4)この発明のスイッチング電源装置は、(1)～(3)において、複数のスイッチ素子のうちオン状態のスイッチ素子のターンオフにより前記インダクタまたは前記トランスに発生する電圧を用いて、次のスイッチ素子をターンオンすることを特徴としている。

[0013] (5)この発明のスイッチング電源装置は、(1)～(4)においてスイッチング制御回路は負荷への出力電圧を検出して該出力電圧に応じて前記オン期間を決定することを特徴としている。

[0014] (6)この発明のスイッチング電源装置は、(1)～(4)においてスイッチング制御回路は前記インダクタまたは前記トランスに発生する電圧の変化または極性を検出して前記オン期間を決定することを特徴としている。

[0015] (7)この発明のスイッチング電源装置は、(1)～(4)においてスイッチング制御回路は前記インダクタまたは前記トランスに流れる電流を検出して前記オン期間を決定することを特徴としている。

[0016] (8)この発明のスイッチング電源装置は、(1)～(4)において、スイッチング制御回路はスイッチ素子の両端間の電圧を検出して前記オン期間を決定することを特徴としている。

[0017] (9)この発明のスイッチング電源装置は、(1)～(4)において、スイッチング制御回路はスイッチ素子に流れる電流を検出して前記オン期間を決定することを特徴としている。

[0018] (10)この発明にスイッチング電源装置は、(9)において、スイッチング制御回路は前記スイッチ素子に流れる電流がゼロまたはゼロ付近となってから該スイッチ素子がターンオフするように該スイッチ素子のオン期間を決定することを特徴としている。

### 発明の効果

[0019] (1)この発明によれば、オン状態のスイッチ素子がターンオフしたことにより次のスイッチ素子をターンオンするため、原理的に2つのスイッチ素子が同時にオン状態となる不具合が発生せず、スイッチング電源装置の信頼性が向上する。

また、従来は基準となるスイッチング素子のオン期間を変化させることで出力を安定

化する制御が行われ、出力電圧は制御されるが、制御される条件は1つであったが、この発明によれば、2つ以上、最大でスイッチ素子の数だけ条件を成立させることができる。

また、スイッチ素子のオンパルスの累積によってスイッチング周波数が決定され、各スイッチ素子のオン期間を設定することにより発振回路が不要となる。

[0020] (2)この発明によれば、複数のスイッチ素子のうち連続する2つのスイッチ素子のオン期間の間にスイッチング素子のオンオフの遅れ時間によるデッドタイムが形成され、複数のスイッチ素子が同時にオンすることによるスイッチング電源装置の信頼性が向上する。また、デッドタイムがターンオンするまでの遅延時間により設定されるため、デッドタイムを適切に設定することが容易であり、且つ各スイッチ素子のオン期間が変化してスイッチング周波数やオン時比率が変化してもデッドタイムが必要以上に長くなったり、短くなったりしないので電力変換効率を高く維持できる。

[0021] (3)この発明によれば、スイッチ素子の両端電圧がゼロ電圧またはゼロ電圧付近まで低下してから、スイッチ素子がターンオンするので、ゼロ電圧でターンオンするゼロ電圧スイッチング動作により、スイッチング損失を大幅に低減して高効率化を図ることができる。

[0022] (4)この発明によれば、複数のスイッチ素子のうちオン状態のスイッチ素子のターンオフによりインダクタまたはトランスに発生する電圧を用いて、次のスイッチ素子をターンオンするスイッチング制御回路を設けたことにより、インダクタまたはトランスから発生する電圧信号をトリガー信号として容易に取り出すことができ、且つ、スイッチ素子を駆動する電圧として利用できるため、回路構成が簡素化できる。

[0023] (5)この発明によれば、負荷への出力電圧を検出して、その電圧に応じて前記オン期間を決定するようにしたことにより、定電圧電源装置を容易に構成できる。

[0024] (6)この発明によれば、トランスに発生する電圧の変化(立ち下がり・立ち上がり)または極性を検出してスイッチ素子のオン期間を決定するようにしたことにより、トランスから発生する電圧信号をトリガー信号として容易に用いることができ、回路構成が簡素化できる。

[0025] (7)この発明によれば、トランスに流れる電流を検出して前記オン期間を決定するよ

うにしたことにより、例えば整流ダイオードの導通時間とスイッチ素子のオン期間を等しくでき、整流ダイオードおよびトランスに流れる電流のピーク値および実効電流を低減して導通損失を低減することができる。

[0026] (8)この発明によれば、スイッチ素子の両端間の電圧を検出して前記オン期間を決定するようにしたことにより、スイッチ素子のオン状態・オフ状態を確実に判断してトリガ信号として容易に用いることができる。

[0027] (9)この発明によれば、スイッチング制御回路は前記スイッチ素子に流れる電流を検出して前記オン期間を決定することにより、スイッチ素子の状態を確実に判定してスイッチ素子を制御でき、必要且つ十分なデッドタイムが形成できる。

[0028] (10)この発明によれば、スイッチング制御回路はスイッチ素子に流れる電流がゼロまたはゼロ付近となってから該スイッチ素子がターンオフするようにことにより、ゼロ電流でターンオンするゼロ電流スイッチング動作により、スイッチング損失を大幅に低減して高効率化を図ることができる。

#### 図面の簡単な説明

[0029] [図1]第1の実施形態に係るスイッチング電源装置の回路図および波形図である。

[図2]第2の実施形態に係るスイッチング電源装置の回路図および波形図である。

[図3]第3の実施形態に係るスイッチング電源装置の回路図および波形図である。

[図4]第4の実施形態に係るスイッチング電源装置の回路図および波形図である。

[図5]第5の実施形態に係るスイッチング電源装置の回路図および波形図である。

#### 符号の説明

[0030] T-トランス

Lp-1次巻線

Ls-2次巻線

Vi-入力電源

Q1-第1のスイッチ素子

Q2-第2のスイッチ素子

Q3-第3のスイッチ素子

Ds1〜Ds3-整流ダイオード

C1-第1の平滑コンデンサ

C2-第2の平滑コンデンサ

C3-第3の平滑コンデンサ

CNT1-第1のスイッチング制御回路

CNT2-第2のスイッチング制御回路

CNT3-第3のスイッチング制御回路

Vo1-第1の出力電圧

Vo2-第2の出力電圧

Vo3-第3の出力電圧

OUT1-第1の出力端子

OUT2-第2の出力端子

OUT3-第3の出力端子

Lr-インダクタ

Cr-キャパシタ

発明を実施するための最良の形態

[0031] 第1の実施形態に係るスイッチング電源装置について図1を参照して説明する。図1の(A)はスイッチング電源装置の回路図、(B)はその各部の波形とタイミング関係を示す図である。

[0032] 図1の(A)においてViは入力電源、Tはトランスであり、その1次巻線Lpに第1のスイッチ素子Q1を接続している。トランスTの2次巻線Lsには整流ダイオードDs1と平滑コンデンサC1からなる第1の整流平滑回路を設けている。また整流ダイオードDs2、第2のスイッチ素子Q2、および第2の平滑コンデンサC2からなる第2の整流平滑回路を構成している。さらに、整流ダイオードDs3、第3のスイッチ素子Q3、および第3の平滑コンデンサC3からなる第3の整流平滑回路を構成している。

[0033] 第1のスイッチング制御回路CNT1は第1のスイッチ素子Q1のオンオフ制御、第2のスイッチング制御回路CNT2は第2のスイッチ素子Q2のオンオフ制御、第3のスイッチング制御回路CNT3は第3のスイッチ素子Q3のオンオフ制御をそれぞれ行う。図中スイッチング制御回路CNT1, CNT2, CNT3へ入る破線はトリガの経路、実



線はフィードバックの経路をそれぞれ概略的に表している。

- [0034] これらのスイッチング制御回路のうち、第1のスイッチング制御回路CNT1は、トランスTの電圧(トランス電圧 $V_t$ )をトリガとして入力し、Q1のドレイン電圧の立ち下がりタイミングでQ1をターンオンさせる。また、第1の出力端子OUT1の出力電圧 $V_{o1}$ を検出し、 $V_{o1}$ が所定電圧になるように第1のスイッチ素子Q1のオン期間を決定する。すなわちQ1のオン期間が必要な時間となるタイミングでQ1をターンオフする。
- [0035] 第2のスイッチング制御回路CNT2は、トランスTの電圧(トランス電圧 $V_t$ )をトリガとして入力し、トランスTの電圧(トランス電圧 $V_t$ )の反転タイミングで第2のスイッチ素子Q2をターンオンさせる。そして、第2の出力端子OUT2の電圧 $V_{o2}$ を検出し、 $V_{o2}$ が所定電圧となるように第2のスイッチ素子Q2のオン期間を決定する。すなわちQ2のオン期間が必要な時間となるタイミングでQ2をターンオフする。
- [0036] 第3のスイッチング制御回路CNT3は、第2のスイッチ素子Q2のドレイン電圧をトリガとして入力し、Q2のドレイン電圧の立ち上がりタイミングでQ3をターンオンさせる。そして、第3の出力端子OUT3の電圧 $V_{o3}$ を検出し、 $V_{o3}$ が所定電圧となるように第3のスイッチ素子Q3のオン期間を決定する。すなわちQ3のオン期間が必要な時間となるタイミングでQ3をターンオフする。
- [0037] 図1の(B)において、 $V_t$ はトランスTの電圧(トランス電圧)、Q1、Q2、Q3、Dsはそれぞれ第1〜第3のスイッチ素子Q1〜Q3および第1の整流ダイオードDs1の状態をそれぞれ示している。ここでハイレベルがオン状態、ローレベルがオフ状態である。
- [0038] (1) 状態1[ $t_0 \sim t_1$ ]
- まず、時刻 $t_0$ でトランスTの電圧(トランス電圧 $V_t$ )が反転すると、そのタイミングから遅れ時間 $\Delta t_{d1}$ の後に第1のスイッチング制御回路CNT1により、第1のスイッチ素子Q1のゲート電圧がハイレベルになり、Q1がターンオンする。この遅れ時間 $\Delta t_{d1}$ はトランスTの1次側のインダクタンス、Q1のドレイン・ソース間の寄生容量等によって定まる共振期間に応じて設定され、Q1のドレイン・ソース間電圧がゼロ電圧となるタイミングでターンオンするように設定され、これによりQ1のゼロ電圧スイッチング動作が行われ、スイッチング損失が大幅に低減される。
- [0039] その後、第1のスイッチング制御回路CNT1は第1の出力端子OUT1の電圧 $V_{o1}$

の電圧が所定値となるようにQ1のオン期間 $t_{on1}$ を定める。すなわち、時刻 $t_0$ から $\Delta t_{d1} + t_{on1}$ が経過した時点 $t_1$ でQ1のゲート電圧をローレベルにする。これによりQ1はターンオフする。このQ1のオン期間 $t_{on1}$ によってトランスTの励磁エネルギーが定まり、結果的に $V_{o1}$ の電圧が定まる。

[0040] (2) 状態2[ $t_1 \sim t_2$ ]

Q1がターンオフすると、トランス電圧 $V_t$ が反転する。第2のスイッチング制御回路CNT2はトランスTの2次巻線 $L_s$ の電圧をトリガ信号として受け、このトランス電圧 $V_t$ の反転タイミング $t_1$ で第2のスイッチ素子Q2のゲート電圧をハイレベルにする。したがって、このタイミング $t_1$ から遅れ時間 $\Delta t_{d2}$ の後にQ2はターンオンする。この遅れ時間 $\Delta t_{d2}$ はトランスTの2次側のインダクタンス、Q2のドレイン・ソース間の寄生容量等によって定まる共振期間に応じて設定され、Q2のドレイン・ソース間電圧がゼロ電圧となるタイミングでターンオンするように設定され、これによりQ2のゼロ電圧スイッチング動作が行われる。

[0041] 第2のスイッチング制御回路CNT2は第2の出力端子OUT2の電圧 $V_{o2}$ の電圧が所定値となるようにQ2のオン期間 $t_{on2}$ を定める。すなわち、時刻 $t_1$ から $\Delta t_{d2} + t_{on2}$ が経過した時点 $t_2$ でQ2のゲート電圧をローレベルにする。

[0042] (3) 状態3[ $t_2 \sim t_3$ ]

第3のスイッチング制御回路CNT3はQ2のドレイン電圧をトリガ信号として受けるので、Q2が $t_2$ でターンオフすると、そのタイミングから遅れ時間 $\Delta t_{d3}$ の後に第3のスイッチ素子Q3がターンオンする。この遅れ時間 $\Delta t_{d3}$ はトランスTの2次側のインダクタンス、Q3のドレイン・ソース間の寄生容量等によって定まる共振期間に応じて設定され、Q3のドレイン・ソース間電圧がゼロ電圧となるタイミングでターンオンするように設定され、これによりQ3のゼロ電圧スイッチング動作が行われる。

[0043] 第3のスイッチング制御回路CNT3は第3の出力端子OUT3の電圧 $V_{o3}$ の電圧が所定値となるようにQ3のオン期間 $t_{on3}$ を定める。すなわち、時刻 $t_2$ から $\Delta t_{d3} + t_{on3}$ が経過した時点 $t_3$ でQ2のゲート電圧をローレベルにする。

[0044] (4) 状態4[ $t_3 \sim t_0$ ]

Q3がターンオフすると、そのタイミングから遅れ時間 $\Delta t_{d4}$ の後に第1の整流ダイオ

ードDs1がオンする。これは $V_{o1} > V_{o3} > V_{o2}$ の関係にあつて、Q2, Q3が共にオフ状態の時に初めてDs1に順方向電圧が印加されてDs1がオンするからである。

- [0045] その後、第1のスイッチング制御回路CNT1は第1の出力端子OUT1の電圧 $V_{o1}$ の電圧が所定値となるように、整流ダイオードDs1のオン期間 $t_{ond}$ が定まり、Ds1の電流が0となり、逆電圧が印加されると時刻 $t_o$ でトランスの電圧が反転する。すなわち、時刻 $t_3$ から $\Delta t_{d4} + t_{ond}$ が経過した時点でDs1はオフとなり、第1のスイッチング制御回路CNT1は時刻 $t_o$ から遅れ時間 $\Delta t_{d1}$ の後に第1のスイッチ素子Q1のゲート電圧をハイレベルにする。このタイミング $t_o$ は最初の $t_o$ と同じである。
- [0046] このように図1の(B)に示した周期Tを1周期として繰り返すことによって、第1〜第3の出力端子OUT1〜OUT3に所定の電圧 $V_{o1}$ ,  $V_{o2}$ ,  $V_{o3}$ をそれぞれ得ることができる。
- [0047] このような構成により、オン状態のスイッチ素子がターンオフすることに連鎖して次のスイッチ素子をターンオンするため、すなわち因果律にしたがって時間経過順に各スイッチング素子のオンオフ状態が変化する。そして、オン状態のスイッチ素子がターンオフしてから次のスイッチ素子がターンオンするまでに必然的に遅れ時間が入るので、この遅れ時間がデッドタイムとして形成される。そのため2つのスイッチ素子が同時にオン状態となる不具合は原理的に発生せず、スイッチング電源装置の信頼性が向上する。しかも、そのデッドタイムを適切に設定することによりゼロ電圧スイッチング動作等を行うことができ、必要以上に長くなることもなく、電力変換効率を高く維持できる。
- [0048] また、スイッチ素子のオンパルスの累積がスイッチング周波数となるため、発振回路が不要である。さらに、スイッチ素子の数に相当する複数の出力(この第1の実施形態では3つの出力)の電圧をそれぞれ独立に安定化することができる。この例では複数の出力端子の電圧がそれぞれ所定値となることを条件としたが、スイッチ素子のオン期間によって制御可能な要素であれば電圧制御以外に電流制御等も可能である。すなわち、スイッチ素子の数に相当するだけ独立した条件を満たすことができる。
- [0049] なお、上述の例では、第1・第2のスイッチ素子Q2, Q3のターンオフをQ2, Q3のドレイン電圧で検出するようにしたが、スイッチ素子に流れる電流を検出して、そのター

ンオフを検知するようにしてもよい。また、上述の例では、Q2のトリガとして、トランスTの2次巻線Lsの電圧からトランス電圧を検出するようにしたが、その1次巻線Lpの電圧でトランス電圧の変化を検出するようにしてもよい。さらに、トランス電圧の立ち下がりを検出する代わりに、トランス電圧の極性の変化を検出するようにしてもよい。

- [0050] また、上述の説明では、定常状態において出力電圧が所定値となる動作について述べたが、起動時等、出力電圧が所定値に至るまでの過渡時については、例えば各スイッチ素子の最大オン時間を設定しておくことにより、一連のスイッチング動作が周期的に繰り返され、定常状態へと移行する。
- [0051] 次に、第2の実施形態に係るスイッチング電源装置について図2を参照して説明する。図2の(A)はスイッチング電源装置の回路図、(B)はその各部の波形とタイミング関係を示す図である。
- [0052] 図2の(A)において、トランスTの1次巻線LpにインダクタLrを接続している。また、このインダクタLrとトランスTの1次巻線Lpと共に閉ループをなすように第2のスイッチ素子Q2およびキャパシタCrを設けている。トランスTの2次巻線Lsには整流ダイオードDsおよび平滑コンデンサCoからなる整流平滑回路を接続している。
- [0053] 第1のスイッチング制御回路CNT1は第1のスイッチ素子Q1のオンオフ制御、第2のスイッチング制御回路CNT2は第2のスイッチ素子Q2のオンオフ制御をそれぞれ行う。図中スイッチング制御回路CNT1, CNT2へ入る破線はトリガの経路、実線はフィードバックの経路を概略的に示している。
- [0054] 第1のスイッチング制御回路CNT1はトランスTの電圧(トランス電圧)の立ち上がり反転タイミングをトリガとして入力する。また、出力電圧Voを検出し、Voが所定電圧になるように第1のスイッチ素子Q1のオン期間を制御する。
- [0055] 第2のスイッチング制御回路CNT2はトランスTのトランス電圧の立ち下がり反転タイミングをトリガとして入力する。また、キャパシタCr両端の電圧vcを検出し、vcが所定電圧となるように、または所定電圧を超えないようにQ2のオン期間を制御する。
- [0056] 図2の(B)において、Vtはトランス電圧の波形、Q1, Q2はそれぞれ第1・第2のスイッチ素子Q1, Q2の状態を示している。ここでハイレベルがオン状態、ローレベルがオフ状態である。

[0057] (1) 状態1[ $t_0 \sim t_1$ ]

まず時刻 $t_0$ で第1のスイッチング制御回路CNT1がトリガ信号を受けると、所定の遅れ時間 $\Delta t_1$ の後、Q1のゲート電圧をハイレベルにする。これによりQ1がターンオンする。この第1のスイッチ素子Q1のオン期間 $ton1$ によって出力電圧 $V_o$ が変化するので、所定の出力電圧 $V_o$ が得られるように $ton1$ を定める。すなわち、時刻 $t_0$ から $\Delta t_1 + ton1$ が経過した時点で第1のスイッチ素子Q1のゲート電圧をローレベルにしてQ1をターンオフする。

[0058] (2) 状態2[ $t_1 \sim t_0$ ]

Q1がターンオフすると、トランス電圧 $V_t$ が反転する。第2のスイッチング制御回路CNT2はトランス電圧 $V_t$ の反転タイミングをトリガとして、遅れ時間 $\Delta t_2$ の後、Q2のゲート電圧をハイレベルにする。これにより第2のスイッチ素子Q2がターンオンする。

[0059] このQ2のオン期間 $ton2$ によってキャパシタ $C_r$ の両端電圧 $v_c$ が変化するので、 $v_c$ が所定電圧となるように $ton2$ を定める。すなわち、時刻 $t_1$ から $\Delta t_2 + ton2$ が経過した時点で第2のスイッチング制御回路CNT2はQ2のゲート電圧をローレベルにする。これにより、Q2がターンオフする。

[0060] Q2がターンオフすると、トランス電圧 $V_t$ が再び反転するので、第1のスイッチング制御回路CNT1は、これをトリガとして時刻 $t_0$ から遅れ時間 $\Delta t_1$ の後、第1のスイッチ素子Q1のゲート電圧をハイレベルにする。このタイミング $t_0$ は最初の $t_0$ と同じである。

[0061] このように図2の(B)に示した周期 $T$ を1周期として繰り返すことによって、電圧クランプ型のフライバックコンバータとして作用し、この例では負荷への出力電圧 $V_o$ を一定に保ち、且つキャパシタ $C_r$ の両端電圧 $v_c$ が安定電圧となるように制御する。また、遅れ時間 $\Delta t_1$ および $\Delta t_2$ を適切に設定することにより、Q1およびQ2のゼロ電圧スイッチング動作が行われ、スイッチング損失を大幅に低減することができる。

[0062] 上述した例では、定電圧電源装置として動作させる場合についてあったが、 $V_o$ 、 $v_c$ を検出して2つのスイッチ素子Q1、Q2のオン期間 $ton1$ 、 $ton2$ をそれぞれ定めるので、 $ton1$ 、 $ton2$ の制御によって2つの電圧 $V_o$ 、 $v_c$ を所定条件を満たすように制御できる。

[0063] なお、第1・第2のスイッチング制御回路CNT1、CNT2はQ1、Q2のターンオフに

よりインダクタ $L_r$ に発生する電圧を検出するようにしてもよい。

- [0064] 次に、第3の実施形態に係るスイッチング電源装置について図3を参照して説明する。図3の(A)はスイッチング電源装置の回路図、(B)はその各部の波形とタイミング関係を示す図である。
- [0065] 図2に示した場合と異なり、この例ではトランスTの3次巻線 $L_t$ を備えていて、その3次巻線 $L_t$ に整流ダイオード $D_{s2}$ と平滑コンデンサ $C_2$ による整流平滑回路を接続している。第2のスイッチング制御回路CNT2は第2の出力端子OUT2の出力電圧 $V_{o2}$ を検出してフィードバック制御を行う。その他の構成は第2の実施形態の場合と同様であり、このスイッチング電源装置は、電圧クランプ型のフライバックコンバータとして作用する。
- [0066] したがって、入力電源 $v_i$ の電圧や負荷電流に関わらず第1・第2のスイッチング制御回路CNT1, CNT2による第1・第2のスイッチ素子Q1, Q2のオン期間 $ton1$ ,  $ton2$ の制御によって出力電圧 $V_{o1}$ ,  $V_{o2}$ を所定電圧に保つことができる。
- [0067] 次に第4の実施形態に係るスイッチング電源装置について図4を参照して説明する。図4の(A)はスイッチング電源装置の回路図、(B)はその各部の波形とタイミング関係を示す図である。
- [0068] 図4の(A)に示すように、このインダクタ $L_r$ とトランスTの1次巻線 $L_p$ と共に閉ループをなすように第1のスイッチ素子Q1とキャパシタ $C_{r1}$ を接続している。また、第1・第2のスイッチ素子Q1, Q2を直列に接続するとともに、 $L_r$ ,  $L_p$ と共にもう一つの閉ループを構成するように、第2のスイッチ素子Q2とキャパシタ $C_{r2}$ を接続している。トランスTの2次巻線 $L_{s1}$ ,  $L_{s2}$ にはそれぞれ整流ダイオード $D_{s1}$ ,  $D_{s2}$ を接続し、平滑コンデンサ $C_o$ と共に整流平滑回路を構成している。
- [0069] 第1のスイッチング制御回路CNT1はトランスTの電圧(トランス電圧)の立ち上がりタイミングをトリガとして入力する。また、出力電圧 $V_o$ を検出し、 $V_o$ が所定電圧になるように第1のスイッチ素子Q1のオン期間を制御する。
- [0070] 第2のスイッチング制御回路CNT2はトランスTのトランス電圧の立ち下がりタイミングをトリガとして入力する。また、トランスTのトランス電圧 $V_t$ を検出し、 $V_t$ が0となるとQ2をターンオフさせる。

[0071] 図4の(B)において、 $V_t$ はトランス電圧の波形、 $i_t$ はトランスTの1次巻線 $L_p$ に流れる電流の波形である。また、Q1、Q2はそれぞれ第1・第2のスイッチ素子Q1、Q2の状態を示している。ここでハイレベルがオン状態、ローレベルがオフ状態である。

[0072] (1) 状態1[ $t_o \sim t_1$ ]

図4の(B)に示すように、まずトランス電圧 $V_t$ が立ち上がるタイミング $t_o$ から遅延時間 $\Delta t_1$ の後、第1のスイッチング制御回路CNT1がQ1のゲート電圧をハイレベルにして、Q1がターンオンする。

[0073] Q1のターンオンの後、出力電圧 $V_o$ が所定電圧になるようにQ1のオン期間 $t_{on1}$ を定める。すなわち、時刻 $t_o$ から $\Delta t_1 + t_{on1}$ が経過した時点でQ1のゲート電圧をローレベルにする。これによりQ1がターンオフする。

[0074] (2) 状態2[ $t_1 \sim t_o$ ]

Q1がターンオフすると、トランス電圧 $V_t$ が立ち下がる。第2のスイッチング制御回路CNT2はトランス電圧 $V_t$ の立ち下がりタイミングをトリガとして遅れ時間 $\Delta t_2$ の後、Q2のゲート電圧をハイレベルにする。これにより第2のスイッチ素子Q2がターンオンする。

[0075] トランス電圧 $V_t$ が0になると、第2のスイッチング制御回路CNT2はQ2のゲート電圧をローレベルにする。これにより、Q2はターンオフする。

[0076] Q2がターンオフすると、トランス電圧 $V_t$ が再び立ち上がるので、第1のスイッチング制御回路CNT1は、これをトリガとし、遅れ時間 $\Delta t_1$ の後、第1のスイッチ素子Q1のゲート電圧をハイレベルにする。このタイミング $t_o$ は最初の $t_o$ と同じである。

[0077] このように図4の(B)に示した周期Tを1周期として繰り返すことによって、電流共振型のハーフブリッジコンバータとして作用する。

[0078] この実施形態によれば、トランス電圧 $V_t$ が0となると、第2のスイッチ素子Q2がターンオフするため、トランス電圧 $V_t$ に対して遅れ位相となるトランス電流(トランスTの1次巻線 $L_p$ に流れる電流 $i_t$ )により、Q1、Q2の寄生容量を充放電してQ1のゼロ電圧スイッチング動作が可能となる。その結果、Q1およびQ2のスイッチング損失を大幅に低減できる。なお、図4ではキャパシタCr1とCr2を用いたが、どちらか一方を削除しても同様の効果が得られる。

[0079] 次に第5の実施形態に係るスイッチング電源装置について図5を参照して説明する。図5の(A)はスイッチング電源装置の回路図、(B)はその各部の波形とタイミング関係を示す図である。

[0080] 図2に示した場合と異なり、第2のスイッチング制御回路CNT2はトランスTの2次巻線Lsに流れる電流 $i_s$ を検出して第2のスイッチ素子Q2のオン期間 $t_{on2}$ を定める。

[0081] 図5の(B)において、 $V_t$ はトランス電圧の波形、 $i_s$ はトランスTの2次巻線Lsに流れる電流の波形である。また、Q1、Q2はそれぞれ第1・第2のスイッチ素子Q1、Q2の状態を示している。ここでハイレベルがオン状態、ローレベルがオフ状態である。

[0082] (1) 状態1[ $t_o \sim t_1$ ]

まず第1のスイッチング制御回路CNT1が、電流 $i_s$ が0となってから $\Delta t_1$ の遅れ時間の後、第1のスイッチ素子Q1のゲート電圧をハイレベルにしてQ1がターンオンする。第1のスイッチング制御回路CNT1は出力電圧 $V_o$ が所定電圧となるようにQ1のオン期間 $t_{on1}$ を定め、時刻 $t_1$ でQ1をターンオフさせる。

[0083] (2) 状態2[ $t_1 \sim t_o$ ]

これにより、トランス電圧 $V_t$ が反転し、第2のスイッチング制御回路CNT2がそれをトリガにして $\Delta t_2$ 遅れた後、第2のスイッチ素子Q2のゲート電圧をハイレベルにする。これにより、Q2はターンオンする。第2のスイッチング制御回路CNT2は2次巻線Lsの電流 $i_s$ が0になるとそれをトリガとしてQ2のゲート電圧をローレベルにし、Q2をターンオフさせる。これによりQ2のオン期間 $t_{on2}$ が定まる。このタイミングは上述の最初のタイミング $t_o$ である。

以上の動作を繰り返すことによって定電圧電源装置として作用する。

[0084] この実施形態によれば、2次巻線電流 $i_s$ が0になったときに第2のスイッチ素子Q2がターンオフするため、整流ダイオードDsの導通時間とQ2のオン期間が等しくなる。その結果、Q2に流れる電流が0のときにターンオフすることができ、ゼロ電流スイッチング動作が行われ、スイッチング損失を大幅に低減することができる。また、スイッチ素子Q2、整流ダイオードDsおよびトランスTに流れる電流 $i_s$ のピーク値および実効電流を低減して導通損失を低減することができる。

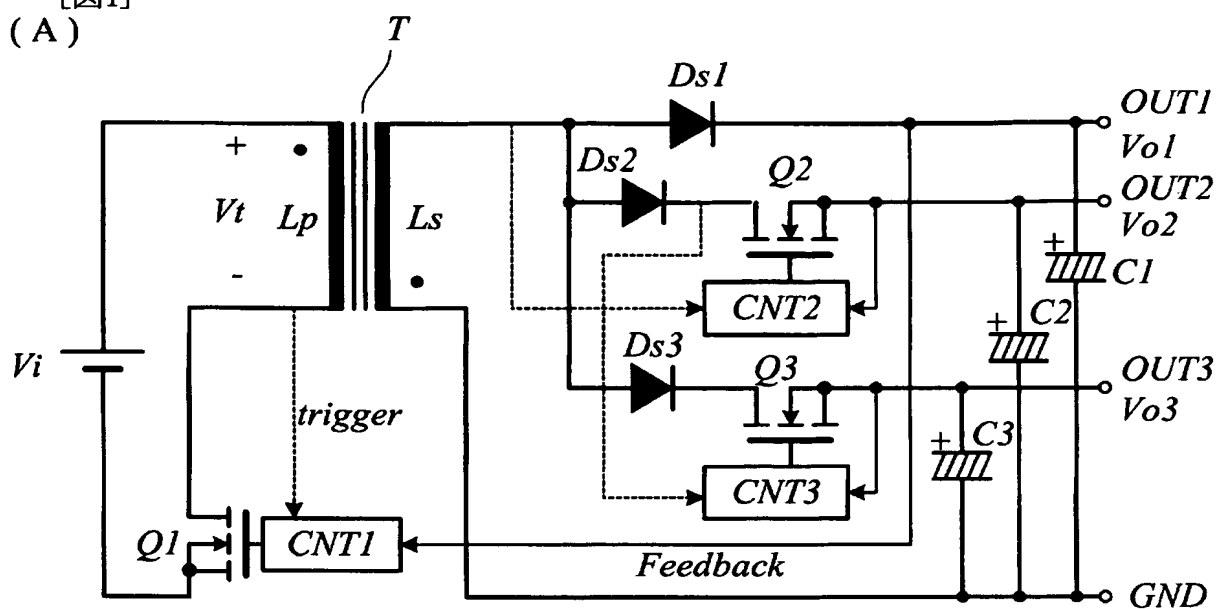


### 請求の範囲

- [1] インダクタまたはトランスと、該インダクタまたはトランスに流れる電流をスイッチングする複数のスイッチ素子を備え、これらのスイッチ素子をオンオフすることにより電力を変換するスイッチング電源装置において、
- オン状態のスイッチ素子がターンオフすることにより発生する電圧または電流の変化を受けて次のスイッチ素子をターンオンし、順次、連鎖的にスイッチ素子をオン・オフさせ、この一連のスイッチ素子のオン・オフ動作を周期的に繰り返し、且つ各スイッチ素子のオン期間を各スイッチ素子毎に独立した条件にて決定し、各スイッチ素子のオン期間を制御するスイッチング制御回路を備えたことを特徴とするスイッチング電源装置。
- [2] 前記複数のスイッチ素子のうち連続する2つのスイッチ素子のオン期間の間には、該2つのスイッチ素子が共にオフとなるデッドタイムが形成され、該デッドタイムは、オン状態のスイッチ素子がターンオフしてから次のスイッチ素子がターンオンするまでの遅延時間により形成されることを特徴とする請求項1に記載のスイッチング電源装置。
- [3] 前記スイッチ素子の両端電圧がゼロ電圧またはゼロ電圧付近まで低下してから、該スイッチ素子がターンオンするように前記デッドタイムが設定されていることを特徴とする請求項2に記載のスイッチング電源装置。
- [4] 前記スイッチング制御回路は前記複数のスイッチ素子のうちオン状態のスイッチ素子のターンオフにより前記インダクタまたは前記トランスに発生する電圧を用いて、次のスイッチ素子をターンオンすることを特徴とする請求項1〜3のいずれかに記載のスイッチング電源装置。
- [5] 前記スイッチング制御回路は負荷への出力電圧を検出して該出力電圧に応じて前記オン期間を決定することを特徴とする請求項1〜4のいずれかに記載のスイッチング電源装置。
- [6] 前記スイッチング制御回路は前記インダクタまたは前記トランスに発生する電圧の変化または極性を検出して前記オン期間を決定することを特徴とする請求項1〜4のいずれかに記載のスイッチング電源装置。

- [7] 前記スイッチング制御回路は前記インダクタまたは前記トランスに流れる電流を検出して前記オン期間を決定することを特徴とする請求項1〜4のいずれかに記載のスイッチング電源装置。
- [8] 前記スイッチング制御回路は前記スイッチ素子の両端間の電圧を検出して前記オン期間を決定することを特徴とする請求項1〜4のいずれかに記載のスイッチング電源装置。
- [9] 前記スイッチング制御回路は前記スイッチ素子に流れる電流を検出して前記オン期間を決定することを特徴とする請求項1〜4のいずれかに記載のスイッチング電源装置。
- [10] 前記スイッチング制御回路は前記スイッチ素子に流れる電流がゼロまたはゼロ付近となってから該スイッチ素子がターンオフするように該スイッチ素子のオン期間を決定することを特徴とする請求項9に記載のスイッチング電源装置。

(A) [図1]



(B)

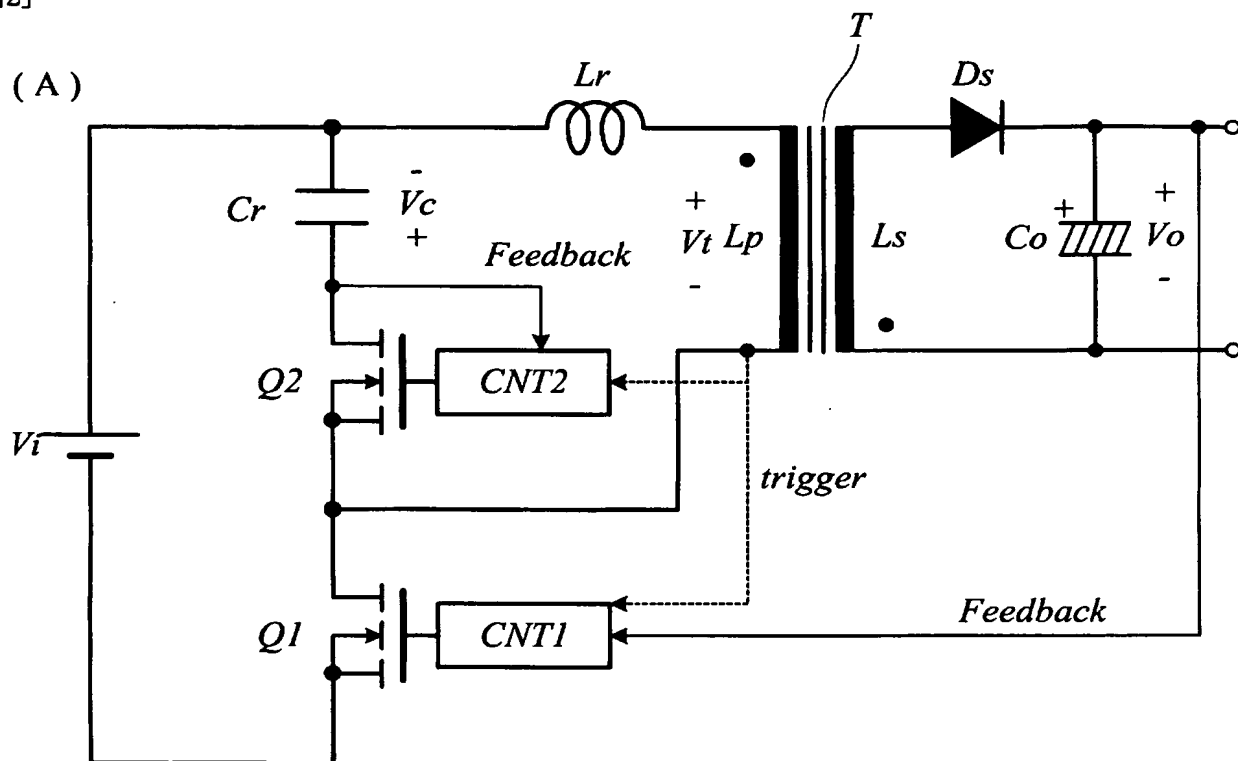
Timing diagram showing the relationship between the gate voltage  $V_t$  and the gate voltages of the four transistors  $Q1$ ,  $Q2$ ,  $Q3$ , and  $Ds1$  over a period  $T$ .

The diagram illustrates the sequence of transistor conduction during a switching cycle. The time axis is marked with  $t_o$ ,  $t_1$ ,  $t_2$ ,  $t_3$ , and  $t_o$ .

Key timing parameters shown include:

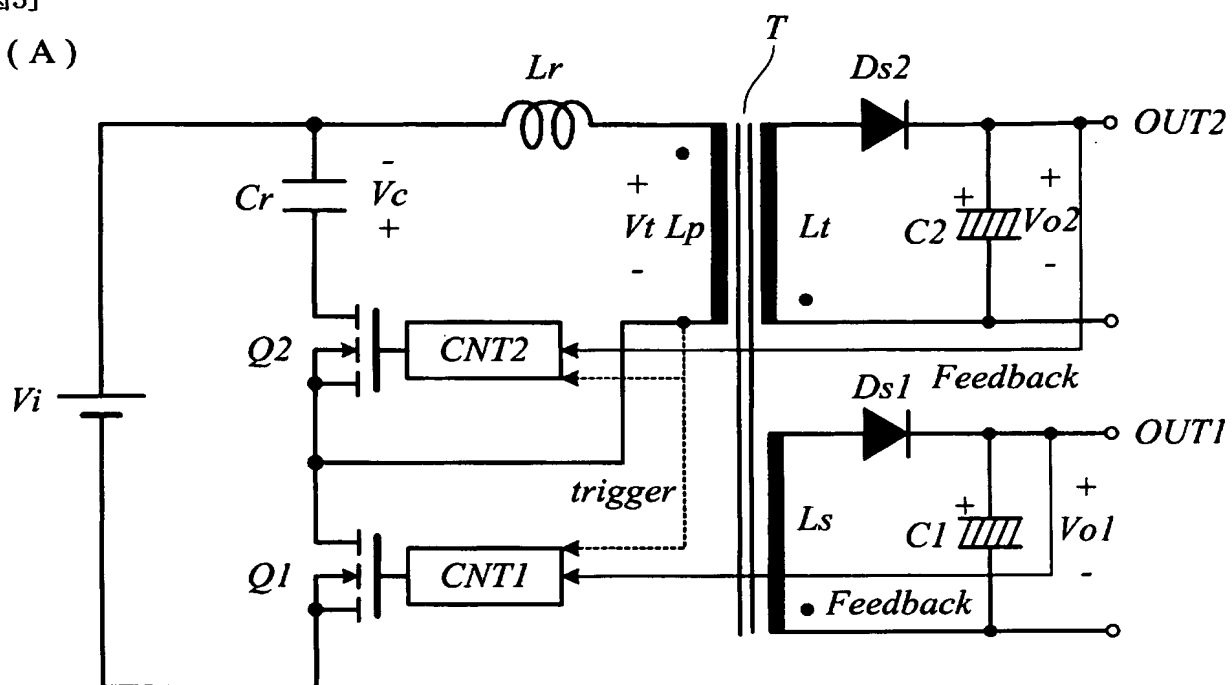
- $\Delta td1$ : Dead time between  $V_t$  and  $Q1$ .
- $ton1$ : On-time of  $Q1$ .
- $\Delta td2$ : Dead time between  $Q1$  and  $Q2$ .
- $ton2$ : On-time of  $Q2$ .
- $\Delta td3$ : Dead time between  $Q2$  and  $Q3$ .
- $ton3$ : On-time of  $Q3$ .
- $\Delta td4$ : Dead time between  $Q3$  and  $Ds1$ .
- $tond$ : On-time of  $Ds1$ .

[図2]

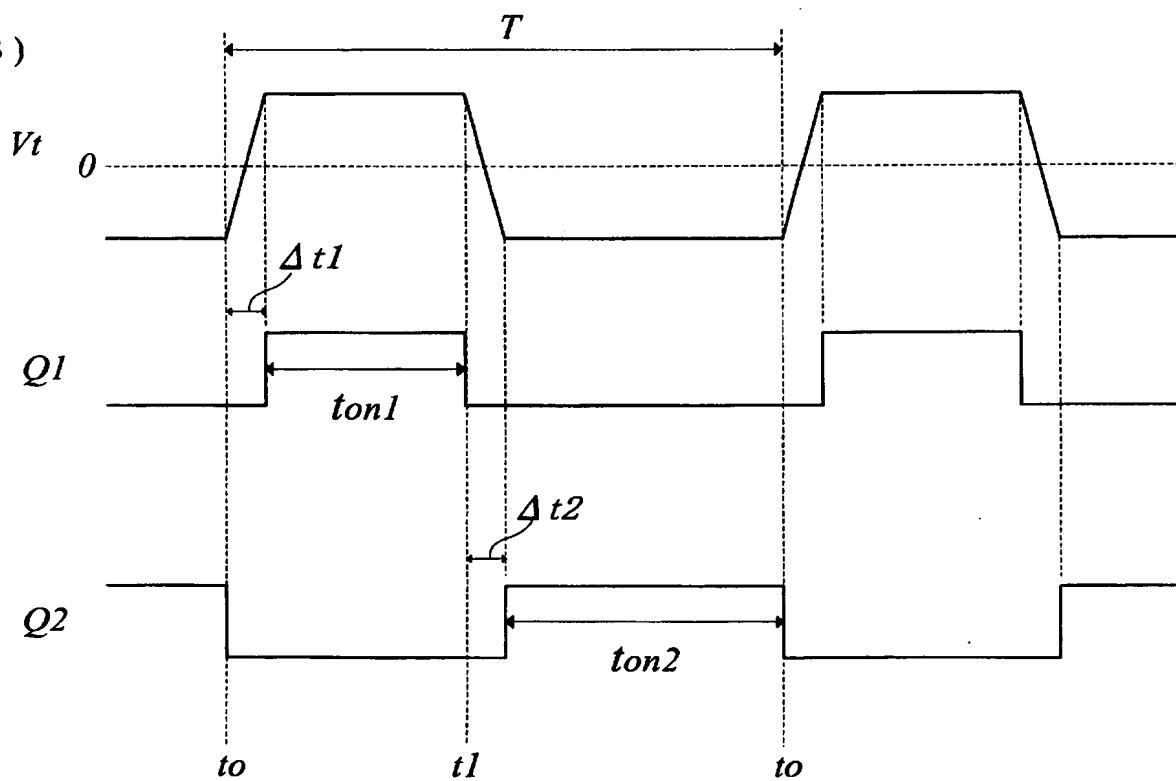


[図3]

(A)

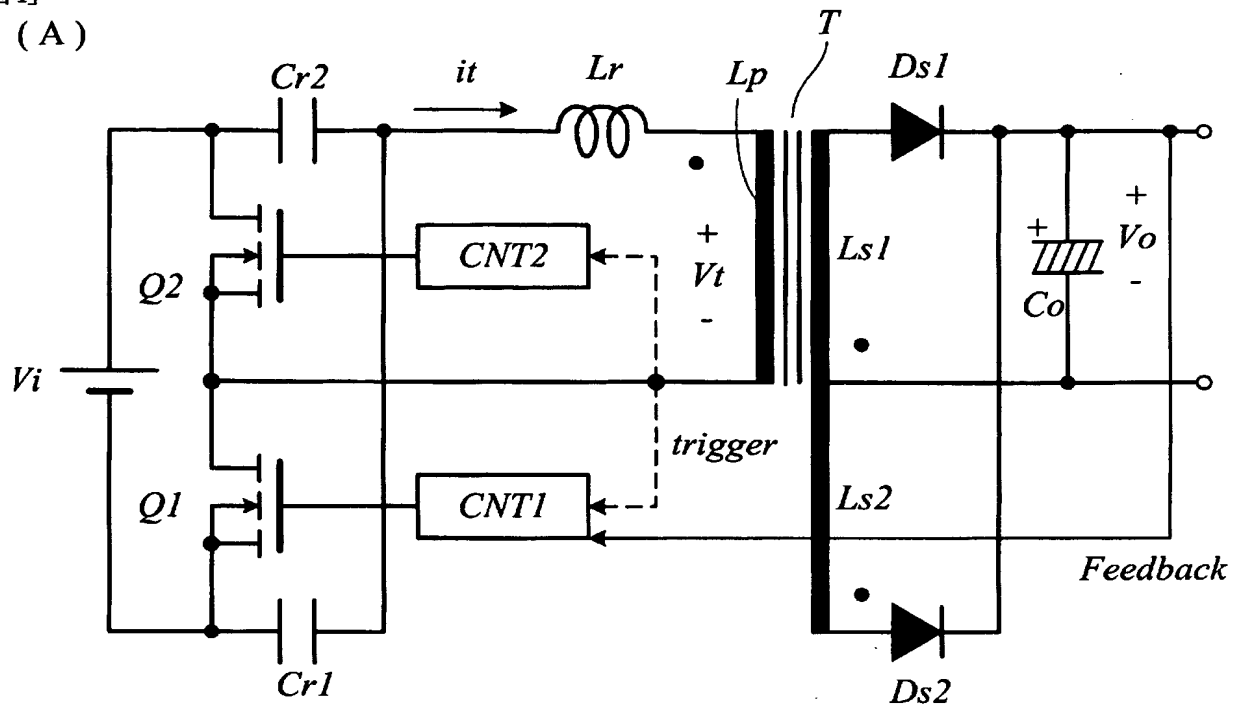


(B)

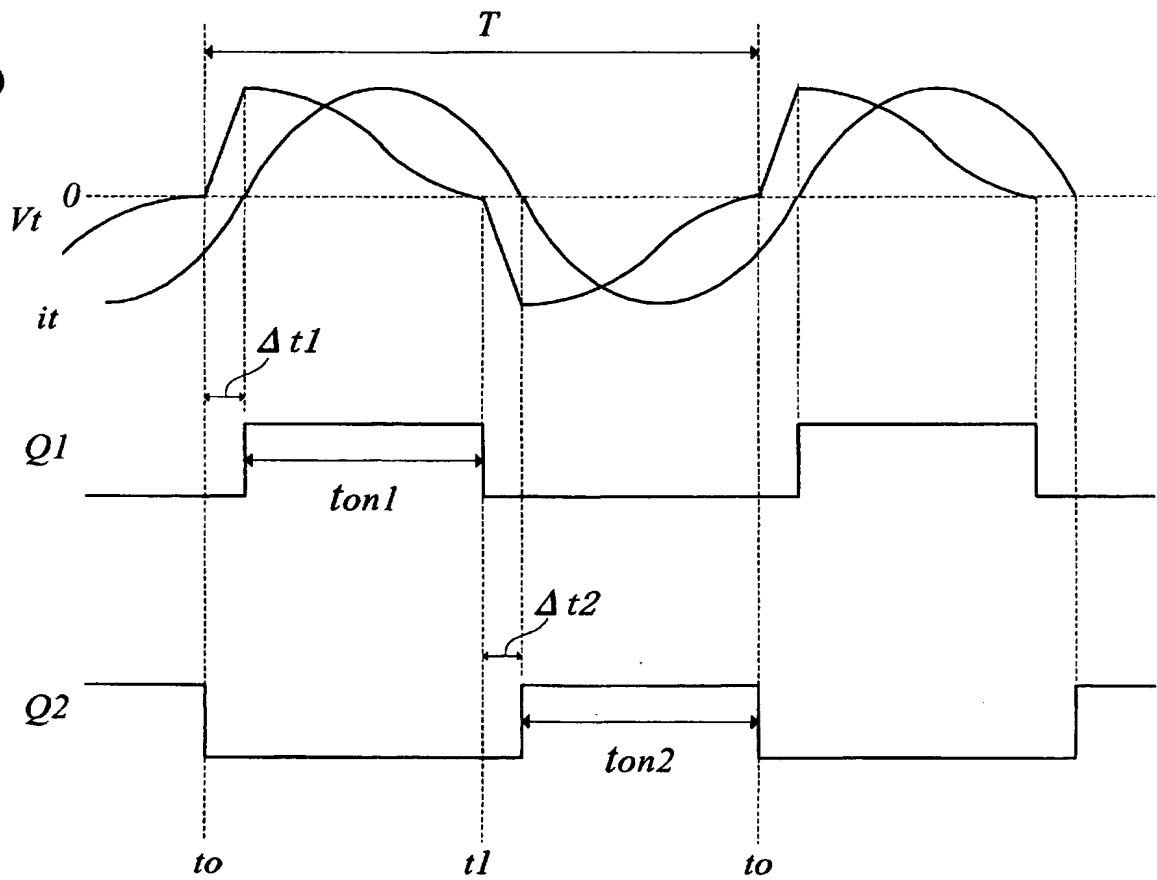


[図4]

(A)

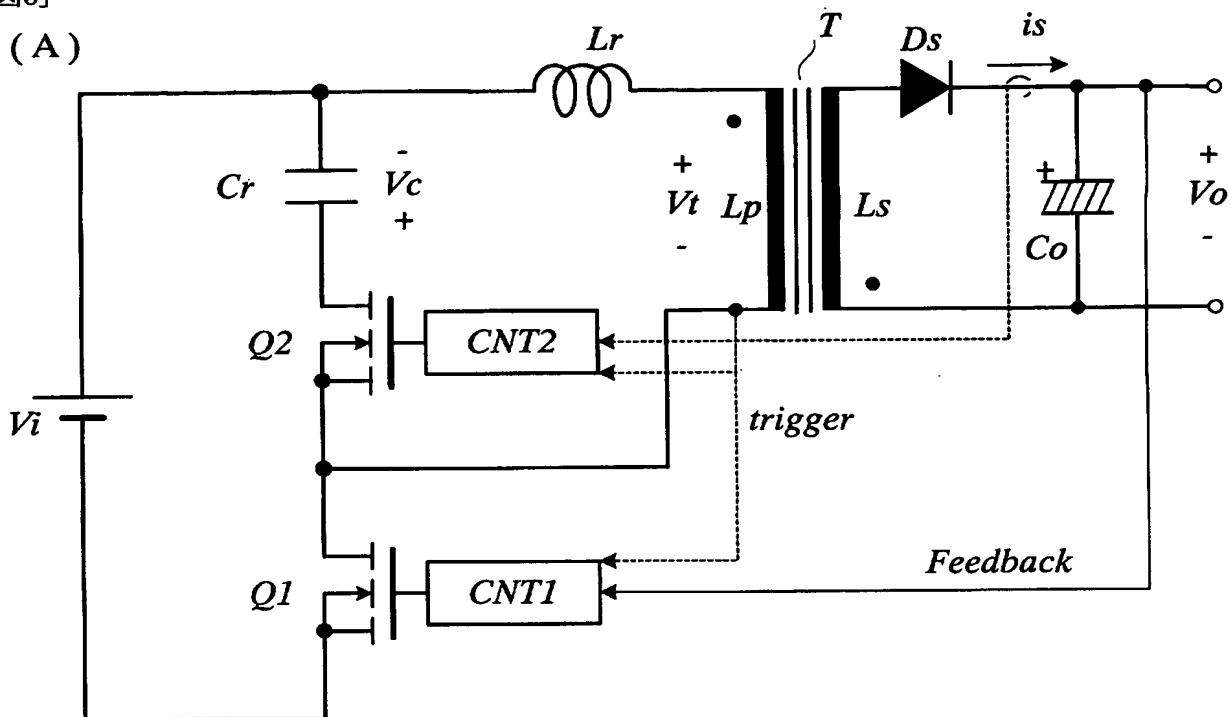


(B)

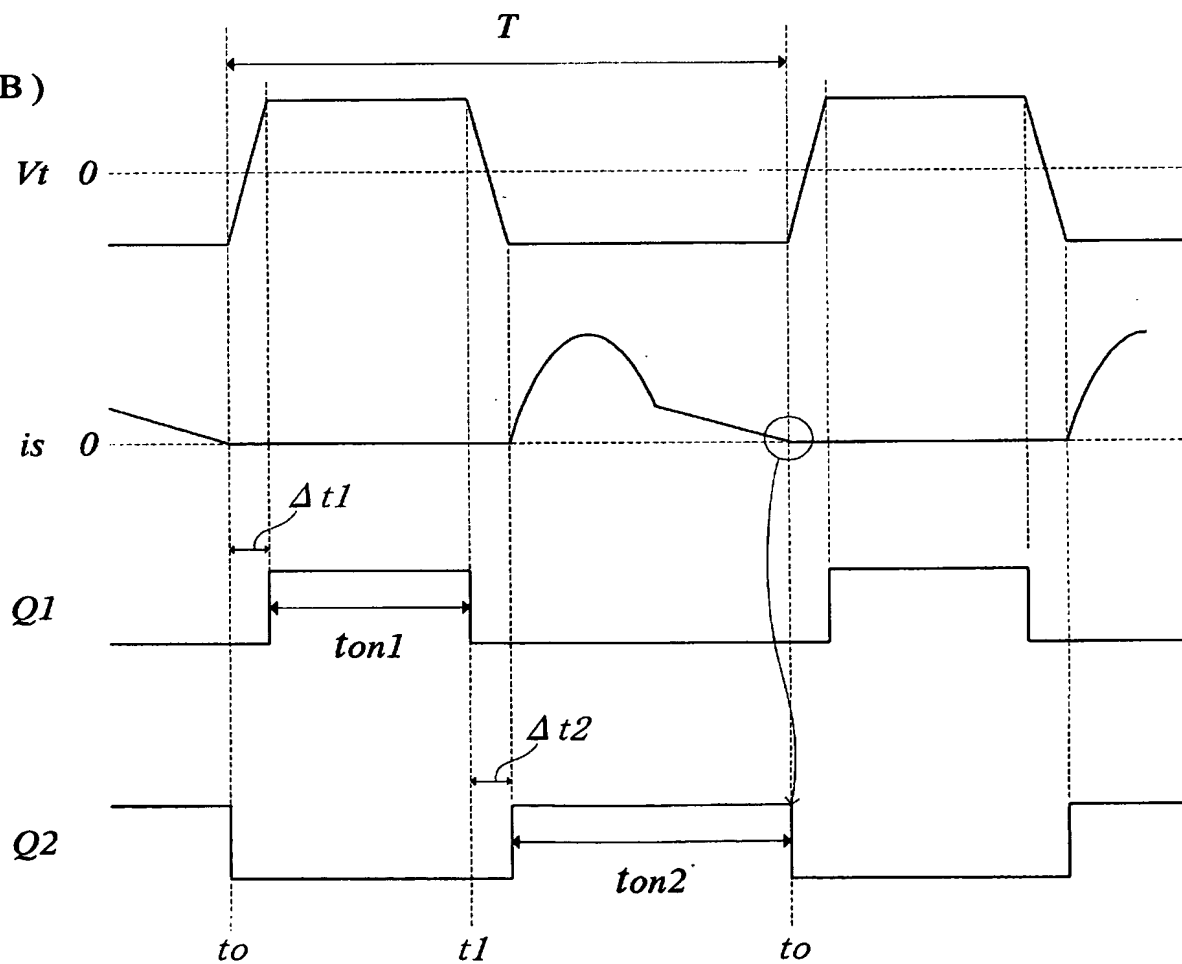


[図5]

(A)



(B)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016529

## A. CLASSIFICATION OF SUBJECT MATTER Int.Cl<sup>7</sup> H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-262570 A (Murata Mfg. Co., Ltd.), 13 September, 2002 (13.09.02), & CN 1362778 A & US 2002/0110003 A1 & GB 2374214 A	1-10
Y	JP 2-262825 A (Fuji Electric Co., Ltd.), 25 October, 1990 (25.10.90), (Family: none)	1-10
Y	WO 2001/003277 A2 (SYNQOR, INC.), 11 January, 2001 (11.01.01), & AU 5925200 A & CA 2378666 A & EP 1196981 A & CN 1379927 A & JP 2003-504997 A	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 January, 2004 (11.01.04)

Date of mailing of the international search report  
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## 国際調査報告

国際出願番号 PCT/J P 2004/016529

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/28

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2005年  
 日本国登録実用新案公報 1994-2005年  
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J.P. 2002-262570 A (株式会社村田製作所) 13.09.2002 & CN 1362778 A & US 2002/0110003 A1 & GB 2374214 A	1-10
Y	J.P. 2-262825 A (富士電機株式会社) 25.10.1990 (ファミリーなし)	1-10
Y	WO 2001/003277 A2 (SYNQOR, INC.) 11.01.2001 & AU 5925200 A & CA 2378666 A & EP 1196981 A & CN 1379927 A & JP 2003-504997 A	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

11.01.2005

国際調査報告の発送日

25.1.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川端 修

3V

8718

電話番号 03-3581-1101 内線 3356